



Information Disclosure Statement

U.S. Patent Application Serial No. 10/621,870

Your Ref. No.: 51876.P358

Our Ref. No.: P03H1019/US/ic

Issued Date by the Korean Intellectual Property Office: January 31, 2005

Received Date from the Korean Intellectual Property Office: February 1, 2005

Reference No.: Korean Laid-Open No. 1999-65064

NOTICE OF PRELIMINARY REJECTION

APPLICANT(S)

Name *Hynix Semiconductor Inc.*
Address *San 136-1, Ami-ri, Bubal-eub, Ichon-shi
Kyoungki-do 467-860, Republic of Korea*

ATTORNEY(S)

Name *Shinsung International Patent & Law firm*
Address *2-3F., Line Bldg., Yeoksam-dong, Kangnam-gu
Seoul 135-080, Republic of Korea*

APPLICATION No. 2002-86498

TITLE *METHOD OF FABRICATING CAPACITOR FOR
SEMICONDUCTOR DEVICE*

This application was preliminarily rejected pursuant to Article 63 of the Korean Patent Law based on the following reason. Should there be any opinion against this action, please file a written argument by March 31, 2005. (You can apply for 1-month extension per each case, and we do not notify you of the confirmation for such term extension.)

[REASON]

This invention described in the whole claims can be easily invented by those skilled in the art as pointed out below. Accordingly, the above-identified patent application cannot be registered pursuant to Article 29, Paragraph 2 of the Korean Patent Law.

[BELOW]

This invention relates to a method for fabricating a capacitor in a semiconductor device. The method includes the steps of: forming a lower electrode made of silicon on a substrate provided with various device elements; forming a thin silicon oxide layer uniformly on the lower electrode; forming a thin aluminum oxide (Al_2O_3) layer on the silicon oxide layer; and crystallizing the aluminum oxide layer by performing a heat treatment process. However, the Korean Laid-Open No. 1999-65064 disclosed on August 5, 1999 (hereinafter referred to as a cited reference 1) reveals a similar capacitor fabrication method, including the steps of: forming a lower electrode by employing a thin impurity doped polycrystalline silicon layer; forming an anti-reaction layer made of silicon oxide; and forming an amorphous oxidized aluminum layer by performing an atomic layer deposition method and densifying the amorphous oxidized aluminum layer through a heat treatment process. Accordingly, on the basis of the cited reference 1, it is regarded that this invention can be easily derivable by those ordinary people skilled in the art.

[Attachment] KR Laid-Open No. 1999-65064

Dated this 31st day of January, 2005

Examination Bureau
Examiner, Sung-Won Bahn

KOREAN INTELLECTUAL PROPERTY OFFICE

PerMatt 8

2/4

출력 일자: 2005/2/1

<이주희대리인>

발송번호 : 9-5-2005-004991600

발송일자 : 2005.01.31

제출기일 : 2005.03.31

수신 : 서울시 강남구 역삼동 823-30 라인빌딩

2,3층(특허법인신성)

특허법인 신성[정지원] 귀하

135-080



특허청 의견제출통지서

po3h1019/us

출원인 명칭 주식회사 하이닉스반도체 (출원인코드: 119980045698)

주소 경기 이천시 부발읍 아미리 산 136-1

대리인 명칭 특허법인 신성

주소 서울시 강남구 역삼동 823-30 라인빌딩 2,3층(특허법인신성)

지정된변리사 정지원 외 2명

출원번호 10-2002-0086498

발명의 명칭 반도체 소자의 캐패시터 제조방법

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지 하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서[특허법시행규칙 별지 제 25호의2서식] 또는/및 보정서[특허법시행규칙 별지 제5호서식]를 제출하여 주시기 바랍니다.(상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장 승인통지는 하지 않습니다.)

[이유]

이 출원의 특허청구범위 제 전항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29 조제2항의 규정에 의하여 특허를 받을 수 없습니다.

[아래]

본원 발명은 소정의 공정이 완료된 반도체 기판 상에 실리콘막으로 이루어진 하부전극을 형성하는 단계, 하부전극 표면에 균일한 실리콘산화 박막을 형성하는 단계, 실리콘산화 박막 상부에 알루미늄 박막을 형성하는 단계 및 알루미늄 박막을 열처리하여 결정화하는 단계를 포함하는 반도체 소자의 캐패시터 제조 방법에 관한 발명이나, 공개특허 제1999-65064호(1999.8.5)에 하부전극(불순물이 도핑된 다결정질 실리콘막)을 형성하는 단계, 반응 방지막(실리콘산화물)을 형성하는 단계 및 원자막증착 방법으로 비정질 산화알루미늄막을 형성하고 열처리하여 치밀화하는 단계를 포함하는 반도체 장치의 캐패시터 제조방법이 기재되어 있어, 본원 발명은 공개특허 제1999-65064호(1999.8.5)의 공지기술에 의하여 용이하게 발명할 수 있습니다.

[참 부]

첨부1 공개특허 제1999-65064호(1999.08.05) 1부. 끝.

2005.01.31

특허청

전기전자심사국

반도체심사담당관실

심사관 반성원



출력 일자: 2005/2/1

<<안내>>

문의사항이 있으시면 ☎ 042-481-5982 로 문의하시기 바랍니다.

서식 또는 절차에 대하여는 특허고객 콜센터 ☎1544-8080으로 문의하시기 바랍니다.

특허청 직원 모두는 깨끗한 특허행정의 구현을 위하여 최선을 다하고 있습니다. 만일 업무처리과정에서 직원의 부조리행위가 있으면 신고하여 주시기 바랍니다.

▶ 홈페이지(www.kipo.go.kr)내 부조리신고센터

ABSTRACT

The present invention relates to a capacitor with high capacitance by using a silicon-based conductor layer as a lower electrode and a method for fabricating the same. The capacitor includes a lower electrode, a dielectric layer formed by employing an amorphous aluminum oxide (Al_2O_3) layer and an upper electrode. At this time, the amorphous aluminum oxide layer is formed through a method that transfers vapor reaction materials onto the lower electrode where sequential reactions take place. An atomic layer deposition (ALD) method is one example of such method. Also, prior to forming the amorphous aluminum oxide layer, the lower electrode is subjected to a rapid thermal nitridation process. The amorphous aluminum oxide layer is also subjected to a densification process thereafter. That is, after the upper electrode is formed, the amorphous aluminum oxide layer is thermally treated at approximately 850 °C and then, proceeds with the densification process. Through this densification, approximately 30 Å of an equivalent oxide layer, which is a theoretical thickness of the equivalent oxide layer, can be obtained.

특 1999-0065064

(19) 대한민국특허청 (KR)
(12) 공개특허공보 (A)

(51) Int. Cl. ⁸ H01L 27/04	(11) 공개번호 (43) 공개일자	특 1999-0065064 1999년 08월 05일
(21) 출원번호	10-1998-0000135	
(22) 출원일자	1998년 01월 06일	
(71) 출원인	삼성전자 주식회사	윤종용
	경기도 수원시 팔달구 매탄3동 416	
(72) 발명자	김영관	
	경기도 성남시 분당구 서현동 87번지 한신아파트 112동 1501호	
	박인선	
	서울특별시 송파구 잠실동 주공아파트 440동 403호	
	이상민	
	서울특별시 강남구 신사동 524-28	
	박창수	
	경기도 수원시 팔달구 인계동 366번지 삼성아파트 101동 410호	
(74) 대리인	권석훈, 노민식, 이영필	

심사청구 : 있음

(54) 반도체장치의 커패시터 및 그 형성방법

요약

실리콘계 도전막(silicon based conductor layer)을 하부 전극으로 이용하며 큰 커패시턴스(capacitance)를 가지는 커패시터(capacitor) 및 그 형성 방법을 개시한다. 본 발명은 하부 전극과, 비정질(amorphous) 산화 알루미늄(Al_2O_3)막의 유전막 및 상부 전극을 포함한다. 이때, 비정질 산화 알루미늄막은 기상 반응을 통해 순차적으로 반응이 일어나는 하부 전극 상으로 보내는 방법, 예컨대, 원자막 증착(atomic layered deposition) 방법으로 형성된다. 더하여, 비정질 산화 알루미늄막을 형성하기 이전에 하부 전극을 급속 열적 질화(rapid thermal nitridation) 처리한다. 또한, 비정질 산화 알루미늄막을 치밀화(densification)하는 단계를 수행한다. 즉, 상부 전극을 형성한 이후에, 비정질 산화 알루미늄막을 대략 850°C 정도로 열처리하여 치밀화시킨다. 이러한 치밀화에 의해서 등가 산화막 두께의 이론적인 값인 대략 30 Å에 근접하는 등가 산화막 두께를 구현할 수 있다.

도표도

도 1

참치서

도면의 간단한 설명

도 1은 본 발명에 따르는 커패시터의 실시예를 설명하기 위하여 개략적으로 도시한 단면도이다.
도 2 내지 도 4는 본 실시예의 커패시터에 이용되는 하부 전극 구조의 예를 개략적으로 나타낸다.
도 5 및 도 6은 본 발명에 따르는 커패시터 형성 방법의 실시예를 설명하기 위해서 개략적으로 도시한 단면도들이다.
도 7은 60 Å 두께의 비정질 산화 알루미늄막에서 인가되는 구동 전압에 대해 측정된 등가 산화막 두께를 도시한 그래프이다.
도 8은 60 Å 두께의 비정질 산화 알루미늄막에서 인가되는 구동 전압에 대해 측정된 누설 전류 밀도를 도시한 그래프이다.
도 9는 비정질 산화 알루미늄막을 형성한 직후 대략 450°C 정도의 온도로 열처리를 수행할 때, 제반 조건 변수에 따라 측정된 커패시터의 전기적 특성을 도시한 그래프이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치에 관한 것으로, 특히 실리콘계 도전막(silicon based conductor layer)을 하부 전극으로 이용하여 큰 커패시턴스(capacitance)를 가지는 커패시터(capacitor) 및 그 형성 방법에 관한 것이다.

반도체 장치가 고집적화됨에 따라 커패시터가 차지하는 면적의 감소가 요구되고 있다. 이에 따라 커패시턴스의 감소 문제가 심각하게 대두되고 있다. 이와 같은 문제를 해결하기 위해서 커패시터의 구조를 변경하거나 유전 상수가 큰 물질을 사용하는 연구가 활발하게 진행되고 있다. 예를 들어, 현재 DRAM(Dynamic Random Access Memory) 장치에 일반적으로 이용되는 MDO (Oxide/Nitride/Oxide layer) 구조 보다 더 높은 유전 상수를 가지는 산화 탄탈륨(Ta_2O_5)막 또는 $\text{BST}((\text{Ba}, \text{Sr})\text{TiO}_3)$ 막을 유전막으로 이용하는 방법이 제시되고 있다.

그러나, 이와 같은 방법이 실현되기에는 매우 복잡한 공정이 요구된다. 즉, 일반적인 커패시터의 구조는 불순물이 도핑(doping)된 다결정질 실리콘막(polycrystalline silicon layer)을 상부 전극 및 하부 전극으로 이용하는 SIS(Silicon/Insulator/Silicon layer) 구조이다. 그러나, 상기 산화 탄탈륨을 이용하는 경우에는 MIS(Metal/Insulator/Silicon layer) 구조 또는 MIM(Metal/Insulator/Metal) 구조를 도입하여야 한다. 또한, 상기 BST막을 이용하는 경우에는 MIM 구조를 도입하여야 한다. 즉, 커패시터 구조의 변환이 요구되고 있다.

또한, 산화 탄탈륨막을 이용하는 경우에는 낮은 단차 피복성(step coverage)을 극복하기 위해서, 표면 운동학적 영역(surface kinetic regime)인 저온에서 화학 기상 증착(Chemical Vapour Deposition: 이하 CVD라 한다) 방법을 이용하여 막질을 형성하여야 한다. 이에 따라, 산소 결핍, 탄화수소(hydrocarbon)의 막질 내 잔류 또는 결정성 저하 등의 문제가 발생할 수 있다. 따라서, 유전율이 감소되고, 낮은 절연 특성(poor insulating properties)이 나타나게 된다.

이와 같은 문제점을 보완하기 위해서 고온에서의 건식 산소 어닐링(dry O_2 annealing) 공정이 추가로 요구된다. 즉, 건식 산소 어닐링 공정으로 생성되는 상기 산화 탄탈륨막 하부의 산화막(oxide layer)을 이용하여 산화 탄탈륨막의 절연 특성을 보완하고자 하는 시도가 있다(Y. Ohyl, Ta_2O_5 capacitor: dielectric material for Giga-bit DRAMs, IEDM Tech. Dig., 1994, p831). 또한, 그레인 바운더리(grain boundary)의 취약점(weak point)으로 상대적으로 많은 산소가 확산(diffusion)하게 되는 현상이 일어날 수 있다. 따라서, 두꺼운 산화막이 형성되어 상기 산화 탄탈륨막의 전류 누설 특성(leakage current property)이 보완될 수 있다. 그러나, 상기 산화 탄탈륨막과 커패시터의 상부 전극의 사이에는 상기 산화 탄탈륨막과 상부 전극의 반응을 방지하기 위한 반응 방지막이 도입되어야 한다(미합중국 특허 제4,891,684호).

한편, BST막은 우수한 전류 누설 특성을 구현하기 위해서 전극과의 계면(interface)에 쇼트키 장벽(schottky barrier)을 형성하여야 한다. 이와 같은 쇼트키 장벽을 형성하기 위해서는 일 함수(work function)가 큰 물질, 예컨대 금속으로 이루어지는 전극을 도입하여야 한다(Soon Oh Park, Fabrication and Electrical Characterization of $\text{Pt}/(\text{Ba}, \text{Sr})\text{TiO}_3/\text{Pt}$ Capacitors for Ultralarge-Scale Integrated Dynamic Random Access Memory Applications, Jpn. J. Appl. Phys. Vol.35, 1996, p1548-1552). 또한, 이와 같은 금속 전극을 도입하기 위해서는 금속 전극과 불순물이 도핑된 다결정질 실리콘막의 계면에 오믹 콘택(ohmic contact)을 형성하여야 한다. 즉, 오믹 콘택을 이루는 중간막을 형성하여야 하고 장벽막(barrier layer)을 도입하여야 한다.

상술한 바와 같이 산화 탄탈륨막 또는 BST막 등과 같은 고유전율의 물질막을 도입하기 위해서는 복잡한 공정 및 구조가 요구된다. 즉, MIM 구조 또는 MIS 구조로의 커패시터의 구조 변경이 요구된다. 그러나, 이러한 구조 변경에는 상기한 바와 같은 단차 피복성의 문제 및 계면에서의 콘택 문제 이외에도 여러 가지 공정상의 어려움이 존재한다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 Si계 도전막을 하부 전극으로 이용하여 커패시턴스의 증대를 구현할 수 있는 반도체 장치의 커패시터를 제공하는데 있다.

본 발명이 이루고자 하는 다른 기술적 과제는 Si계 도전막을 하부 전극으로 이용하여 커패시턴스의 증대를 구현할 수 있는 반도체 장치의 커패시터 형성 방법을 제공하는데 있다.

발명의 구성 및 작용

상기의 기술적 과제를 달성하기 위하여 본 발명은 하부 전극과, 유전막 및 상부 전극을 포함하는 반도체 장치의 커패시터를 제공한다. 상기 하부 전극으로는 불순물이 도핑된 다결정질 실리콘막 등과 같은 실리콘계 도전막을 이용한다. 또한, 상기 하부 전극은 스택형(stack type) 구조, 반구형 입자 실리콘막형(hemispherical grained silicon layer type) 구조 또는 실린더형(cylinder type) 구조의 입체 구조를 가진다.

상기 유전막으로는 상기 하부 전극 상에 형성되는 비정질 산화 알루미늄막을 이용한다. 여기서, 상기 비정질 산화 알루미늄막은 각각의 소오스(source)에서 공급되는 각각의 기상 반응물들을 순차적으로 반응이 일어나는 막질, 즉, 상기 하부 전극 상으로 보내는 방법으로 형성된다. 즉, 원자막 증착(atomic layered deposition) 방법으로 대략 10Å 내지 300Å 정도의 두께로 형성된다. 더하여, 상기 비정질 산화 알루미늄막은 대략 40Å 내지 70Å 정도의 두께로 형성된다. 또한, 상기 하부 전극 및 상기 유전막 사이에는 실리콘 산화물, 실리콘 질화물 또는 실리콘 옥시 질화물 등으로 이루어지는 반응 방지막이 더 형성될 수 있다.

상기 상부 전극은 상기 유전막 상에 형성된다. 여기서, 상기 상부 전극은 불순물이 도핑된 다결정질 실리콘

콘막, 텅스텐 실리사이드막, 몰리브덴 실리사이드막, 탄탈 실리사이드막, 티타늄 실리사이드막, 텅스텐막, 몰리브덴막, 탄탈막, 크롬막 또는 티타늄 나이트라이드막 등과 같은 도전막으로 이루어진다.

상기의 다른 기술적 과제를 달성하기 위하여 본 발명은 하부 전극을 형성한다. 여기서, 상기 하부 전극은 불순물이 도핑된 다결정질 실리콘막 등과 같은 실리콘계 도전막으로 형성된다. 또한, 상기 하부 전극은 스택형 구조, 반구형 입자 실리콘막형 구조 또는 실리콘형 구조 등과 같은 입체 구조로 형성된다.

이후에, 상기 하부 전극 상에는 비정질 산화 알루미늄막으로 유전막을 형성한다. 이때, 상기 유전막을 형성하는 단계 이전에 상기 하부 전극을 열처리하여 상기 하부 전극 상에 반응 방지막을 형성하는 단계를 더 수행한다. 이때, 상기 열처리는 대략 300°C 내지 1200°C 정도의 온도에서 수행된다. 보다 상세하게는 대략 900°C 정도의 온도에서 암모니아(NH_3) 가스 등과 같은 질소 소오스를 포함하는 분위기 가스를 이용하는 급속 열적 질화 공정으로 열처리한다. 이에 따라, 상기 하부 전극 상에 실리콘 산화물, 실리콘 질화물 또는 실리콘 옥시 질화물 등으로 이루어지는 반응 방지막이 더 형성될 수 있다.

또한, 상기 비정질 산화 알루미늄막은 각각의 소오스에서 공급되는 각각의 기상 반응물들을 순차적으로 반응이 일어나는 막질, 즉, 상기 하부 전극 상으로 보내는 방법으로 형성된다. 즉, 원자막 증착(atomic layered deposition) 방법으로 대략 10 Å 내지 300 Å 정도의 두께로 형성된다. 보다 상세하게는, 상기 비정질 산화 알루미늄막은 대략 40 Å 내지 80 Å 정도의 두께로 형성된다. 여기서, 상기 원자막 증착 방법은 트리 메틸 알루미늄($\text{Al}(\text{CH}_3)_3$) 또는 알루미늄 클로라이드(AlCl_3)를 알루미늄 소오스(aluminium source)로 이용하여 수행된다. 또한, 상기 원자막 증착 방법을 수행하기 이전에 상기 하부 전극을 수소 패시베이션 처리(hydrogen passivation treatment)하는 단계를 더 수행한다.

이후에, 상기 유전막 상에 상부 전극을 형성한다. 여기서, 상기 상부 전극은 불순물이 도핑된 다결정질 실리콘막, 텅스텐 실리사이드막, 몰리브덴 실리사이드막, 탄탈 실리사이드막, 티타늄 실리사이드막, 텅스텐막, 몰리브덴막, 탄탈막, 크롬막 또는 티타늄 나이트라이드막 등과 같은 도전막으로 이루어진다. 더하여, 상기 상부 전극을 형성하는 단계 이후에 상기 비정질 산화 알루미늄막을 제1치밀화하는 단계를 더 수행한다. 이때, 상기 제1치밀화 단계는 상기 비정질 산화 알루미늄막의 결정화 온도 이하로 상기 비정질 산화 알루미늄막을 열처리하여 수행된다. 즉, 상기 열처리는 대략 150°C 내지 900°C 정도의 온도에서 수행된다. 또한, 상기 열처리는 산소 가스, 일산화 질소 가스 또는 질소 가스 등을 분위기 가스로 이용하거나 진공에서 수행된다. 보다 상세하게는 대략 850°C의 온도에서 질소 가스를 분위기 가스로 이용하여 상기 열처리를 수행한다.

더하여, 상기 제1치밀화하는 단계에 부가하여 상기 상부 전극을 형성하는 단계 이전에 상기 비정질 산화 알루미늄막을 제2치밀화하는 단계를 더 수행한다. 여기서, 상기 제2치밀화 단계는 상기 비정질 산화 알루미늄막의 결정화 온도 이하로 상기 비정질 산화 알루미늄막을 열처리하여 수행된다. 즉, 상기 열처리는 대략 150°C 내지 900°C 정도의 온도에서 수행된다. 또한, 상기 열처리는 산소 가스, 일산화 질소 가스 또는 질소 가스 등을 분위기 가스로 이용하거나 진공에서 수행된다. 보다 상세하게는 대략 450°C 정도의 온도에서 산소 가스를 분위기 가스로 이용하여 상기 열처리를 수행한다.

본 발명에 따르면, Si계 도전막을 하부 전극으로 이용하여 커패시터의 증대를 구현할 수 있는 반도체 장치의 커패시터 및 그 형성 방법을 제공할 수 있다. 이하, 첨부 도면을 참조하여 본 발명의 실시예를 상세히 설명한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안된다. 본 발명의 실시예들은 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것이다. 따라서, 도면에서의 막의 두께 등은 보다 명확한 설명을 강조하기 위해서 과장되어진 것이며, 도면상에서 동일한 부호로 표시된 요소는 동일한 요소를 의미한다. 또한 어떤 막이 다른 막 또는 반도체 기판에 직접 접촉하여 존재할 수 있고, 또는 그 사이에 제 3의 막이 개재되어질 수도 있다.

도 1은 본 발명에 따르는 커패시터의 실시예를 설명하기 위하여 개략적으로 도시한 단면도이다.

구체적으로, 본 발명을 따르는 커패시터의 실시예는 하부 전극(200)과, 유전막(400) 및 상부 전극(500)을 포함한다. 이때, 상기 하부 전극(200)은 반도체 기판(100)을 덮는 중간 절연막(150)에 형성된 콘택홀(contact hole)을 통해서 상기 반도체 기판(100)의 활성 영역에 전기적으로 연결된다. 상기 하부 전극(200)으로는 불순물이 도핑된 다결정질 실리콘막 등과 같은 실리콘계 도전막을 이용한다.

상기 하부 전극(200)을 덮는 유전막(400)으로는 비정질 산화 알루미늄(amorphous aluminum oxide; Al_2O_3)막을 이용한다. 산화 알루미늄막은 α - Al_2O_3 과 γ - Al_2O_3 과 같은 결정질상(crystalline phase)일 때와 비정질상일 때의 유전 상수의 차이가 거의 없이 대략 10정도의 높은 유전 상수를 가진다. 그러나, 결정질상에 비해 비정질상은 여러 가지 우수한 이점을 가지고 있다. 예컨대, 비정질상 산화 알루미늄은 실리콘 산화물(silicon oxide)보다 산화가 용이하게 되며, 낮은 알칼리 이온의 투과율(low permeability of alkali ions) 및 높은 절연 특성(excellent insulating property)을 가진다. 또한, 비정질상의 산화 알루미늄은 유연한(smooth)한 몰폴로지(morphology)를 갖고 그레인 바운더리를 통한 확산이 발생하지 않는다. 더하여, 상기 비정질 산화 알루미늄막은 산소 등의 확산도(diffusivity)를 낮게 억제시킬 수 있다.

더하여, 본 실시예에서 비정질 산화 알루미늄막은 각각의 소오스(source)에서 공급되는 각각의 기상 반응물들을 순차적으로 반응이 일어나는 막질, 즉, 상기 하부 전극(200) 상으로 보내는 방법으로 형성된다. 이와 같은 방법은 미세한 두께로 막질을 형성하는 단계를 반복함으로써 원하는 두께의 막질을 형성하는 방법이다. 이와 같은 방법의 일례로 원자막 증착(Atomic Layered Deposition; 이하 ALD라 한다) 방법을 들 수 있으며 이에 대해서는 이후에 상세하게 설명한다.

상술한 비와 같은 원자막 증착 방법 등과 같은 각각의 기상 반응물들을 순차적으로 반응이 일어나는 막질 상으로 보내는 방법을 이용하여 상기 비정질 산화 알루미늄막을 형성하므로 높은 형성도(conformality)를 구현할 수 있다. 따라서, 100%에 이르는 단차 피복성을 구현할 수 있다. 또한, 상기 ALD 공정 특성상 상기 비정질 산화 알루미늄막 내에 불순물이 거의 잔류하지 않는다. 일반적으로 산화 알루미늄막을 스퍼터

링(sputtering) 방법으로 형성하면 단차 피복성이 불량하며, CVD 방법을 이용하면 잔류 불순물을 제거하기 어려우며 박막화하기가 어렵다. 그러나, 본 실시예에서는 ALD 방법으로 비정질 산화 알루미늄막을 형성함으로써 높은 단차 피복성 및 높은 비정질 정도를 구현할 수 있다. 이때, 상기 비정질 산화 알루미늄막은 대략 10 Å 내지 300 Å 정도의 두께로 형성된다. 바람직하게는, 대략 40 Å 내지 80 Å 정도의 두께로 형성된다.

또한, 상기 하부 전극(200) 및 상기 유전막(400) 사이에는 실리콘 산화물(silicon oxide; SiO_2), 실리콘 질화물(silicon nitride; SiN) 또는 실리콘 옥시 질화물(silicon oxynitride; SiON) 등으로 이루어지는 반응 방지막(reaction preventing layer; 300)을 더 형성할 수 있다. 그러나, 상기 비정질 산화 알루미늄막은 산소 등에 대한 확산도가 낮으므로, 상기 반응 방지막(300)을 도입하지 않을 수 있다. 더하여, 유전막(400) 상에 형성되는 상부 전극(500)은 불순물이 도핑된 다결정질 실리콘막, 텅스텐 실리사이드(WSi_2)막, 몰리브덴 실리사이드(MoSi_2)막, 탄탈 실리사이드(TaSi_2)막, 티타늄 실리사이드(TiSi_2)막, 텅스텐(W)막, 몰리브덴(Mo)막, 탄탈(Ta)막, 크롬(Cr)막 또는 티타늄 나이트라이드(TiN)막 등과 같은 도전막으로 이루어진다.

도 2 내지 도 4는 본 실시예의 캐패시터 구조에 이용되는 하부 전극(200, 200a, 200b, 200c)의 예를 개략적으로 나타낸다.

구체적으로, 본 실시예에 따르는 캐패시터는 하부 전극(200, 200a, 200b, 200c)으로 입체 구조를 가질 수 있다. 예컨대, 도 1에 도시한 바와 같은 스택형(stack type) 구조의 하부 전극(200)을 가질 수 있다. 또한, 도 2에 도시한 바와 같이 전극의 표면에 반구형 입자 실리콘막(hemispherical grained silicon layer)을 형성하여 요철 구조로 표면적을 증대시킨 반구형 입자 실리콘막형 구조의 하부 전극(200a)을 가질 수 있다. 더하여, 도 3에 도시한 바와 같이 실린더형(cylinder type) 구조의 하부 전극(200b)을 이용할 수 있고, 도 4에 도시한 바와 같은 실린더형 구조의 전극 표면에 반구형 입자 실리콘막을 형성하여 추가의 표면적 증대를 구현한 하부 전극(200c)을 이용할 수 있다. 이와 같은 입체 구조의 하부 전극(200, 200a, 200b, 200c)을 도입하더라도, 본 실시예에서 이용되는 비정질 산화 알루미늄막은 ALD 공정의 특성상 높은 형성도를 구현할 수 있다. 즉, 높은 형성도를 구현할 수 있어 단차 피복성의 저하와 같은 공정 불량이 억제된다.

도 5 및 도 6은 본 발명에 따르는 캐패시터 형성 방법의 실시예를 설명하기 위해서 개략적으로 도시한 단면도들이다.

도 5는 반도체 기판(100) 상에 하부 전극(200)을 형성하는 단계를 개략적으로 나타낸다.

구체적으로, 층간 절연막(150)이 형성된 반도체 기판(100) 상에 하부 전극(200)을 형성한다. 이때, 상기 하부 전극(200)은 본 실시예에서는 스택형 구조를 예로 들어 설명하지만, 도 2 내지 도 4를 참조하여 설명한 바와 같이 반구형 입자 실리콘막형 구조 또는 실린더형 구조 등과 같은 입체 구조로 형성할 수 있다. 더하여, 상기 하부 전극(200)은 불순물이 도핑된 다결정질 실리콘막 등과 같은 실리콘계 도전막으로 형성된다.

이후에, 상기 하부 전극(200)을 급속 열적 공정(Rapid Thermal process; 이하 RTP라 한다)으로 열처리하여 상기 하부 전극(200)을 덮는 반응 방지막(300)을 추가로 형성한다. 이때, 대략 300°C 내지 1200°C 정도의 온도에서 상기 열처리는 수행된다. 바람직하게는 대략 900°C 정도의 온도에서 질소 소오스(nitride source)로 암모니아 가스(NH_3) 등을 이용하여 60초 정도 열처리를 수행한다. 즉, 급속 열적 질화(Rapid Thermal Nitridation; 이하 RTNI라 한다) 공정을 수행한다. 이와 같은 열처리에 의해서 상기 하부 전극(200)의 실리콘은 질소와 반응하여 실리콘 질화막을 형성한다. 이와 같이 형성된 실리콘 질화막을 반응 방지막(300)으로 이용한다. 그러나, 상기 반응 방지막(300)으로 실리콘 질화물로 이루어지는 막질 외에도 실리콘 산화물 또는 실리콘 옥시 질화물 등으로 이루어지는 막질을 이용할 수 있다.

이와 같이 형성되는 반응 방지막(300)은 후속의 산소 분위기를 동반하는 열처리 공정에서 상기 하부 전극(200)으로의 산소의 확산을 보다 완전하게 방지하는 역할을 한다. 즉, 산소의 확산에 따른 등가 산화막 두께(Equivalent Thickness of Oxide layer; 이하 ET라 한다)의 증가를 방지한다. 그러나, 본 실시예에서는 상기한 RTP에 의한 실리콘 질화막을 형성하는 단계를 실시하지 않을 수 있다. 이는 이후에 상세히 설명하지만 비정질 산화 알루미늄막이 산소 확산도를 낮게 유지시키는 특성에 근거한다.

도 6은 하부 전극(200) 상에 유전막(400)을 형성하는 단계를 개략적으로 나타낸다.

구체적으로, 하부 전극(200)을 수소 패시베이션 처리(hydrogen passivation treatment)를 수행하여 상기 하부 전극(200) 상에 잔존하는 자연 산화막(native oxide layer)을 완전히 제거한다. 이와 같은 수소 패시베이션 처리는 상기 RTP 처리를 도입하지 않는 경우에는 보다 확실하게 수행되어야 한다.

이후에, 상기 하부 전극(200) 상에 각각의 소오스(source)에서 공급되는 각각의 기상 반응물들을 순차적으로 반응이 일어나는 막질, 즉, 상기 하부 전극(200) 상으로 보내는 방법으로 비정질 산화 알루미늄막을 형성한다. 이와 같은 방법은 여러 가지 명칭으로 불려지는 다양한 방법이 있으나 ALD 방법을 예로 들어 구체적으로 설명한다. 상기 ALD 방법은 상기 하부 전극(200) 상에 알루미늄 소오스를 이용하여 원자 크기 정도의 두께로 알루미늄막을 형성한다. 이후에, 상기 알루미늄막을 산화제로 처리하여 원자 크기 정도 두께, 예컨대 대략 0.5 Å 내지 50 Å 정도의 두께의 산화 알루미늄막을 형성한다. 이후에, 상기한 바와 같은 원자 크기 정도의 두께의 산화 알루미늄막을 형성하는 단계를 사이클(cycle)로 반복 수행하여 대략 10 Å 내지 300 Å 정도의 두께로 비정질 산화 알루미늄막을 형성한다. 바람직하게는, 대략 40 Å 내지 80 Å 정도의 두께로 비정질 산화 알루미늄막을 형성한다.

보다 구체적으로 설명하면 다음과 같다. 상기 알루미늄 소오스로는 트리 메틸 알루미늄($\text{Al}(\text{CH}_3)_3$) 또는 알루미늄 크로라이드(AlCl_3)를 이용한다. 바람직하게는 트리 메틸 알루미늄을 이용하고 산화제로는 수증기(vaporized H_2O)를 이용한다. 이때, 상기 산화제로 상기 알루미늄막을 산화시키는 단계는 대략 150°C 내지 400°C 정도의 반도체 기판(100) 온도 조건에서 수행된다. 바람직하게는 대략 350°C 정도의 반도체

기판(100) 온도 조건에서 수행된다. 또한, 상기 사이클에 의해서 상기 비정질 산화 알루미늄막은 대략 2 Å 정도의 두께로 성장된다. 이와 같이 형성되는 비정질 산화 알루미늄막은 상기 ALD 방법의 공정 특성에 의해서 비정질상으로 구현된다. 또한, 이와 같이 형성되는 산화 알루미늄막은 상기 ALD 방법의 공정 특성에 의해서 높은 형성도를 나타낸다. 따라서, 100%에 이르는 높은 단차 피복성을 구현할 수 있다.

이후에, 상기 유전막(400) 상에 도 1에 도시된 바와 같이 상부 전극(500)을 형성한다. 이때, 상기 상부 전극(500)은 불순물이 도핑된 다결정질 실리콘막, 텅스텐 실리콘사이드막, 몰리브덴계 실리콘사이드막, 탄탈륨 실리콘사이드막, 티타늄 실리콘사이드막, 텅스텐막, 몰리브덴계막, 탄탈륨막, 크롬막 또는 티타늄 나이트라이드막 등과 같은 도전막으로 이루어진다.

한편, 상기 비정질 산화 알루미늄막은 성장 직후(as-grown)에, 대략 1.64의 굴절률($n=633.0nm$)을 나타낸다. 그러나, 상기 비정질 산화 알루미늄막은 후속의 열처리에 의해서 치밀화(densification)될 수 있다. 이러한 치밀화 정도는 굴절률 및 막의 두께를 측정하여 알 수 있다. 즉, 상기 비정질 산화 알루미늄막을 성장시킨 후, 상기 비정질 산화 알루미늄막을 O_2 분위기 가스에서 어닐링하는 방법으로 치밀화하여 그 치밀화 정도를 측정한다.

[표 1]

산화 알루미늄막이 성장된 직후와 열처리 후의 특성 비교

	SiO ₂ 의 두께 (Å)	Al ₂ O ₃ 의 두께 (Å)	굴절률 ($n=633.0nm$)
성장 직후	996.506±9.781	543.186±9.027	1.64
열처리 후 (대략 800°C O ₂ 어닐링, 30분)	997.300±7.633	480.851±7.354	1.692

상기한 표 1에서 나타낸 바와 같이 비정질 산화 알루미늄막은 O_2 어닐링에 의해서 그 두께가 감소하며 굴절률이 증가함을 알 수 있다. 이와 같은 결과는 상기 열처리에 의해서 상기 비정질 산화 알루미늄막이 치밀화됨을 나타낸다. 이에 따라 상기 비정질 산화 알루미늄막의 유전율이 상승하는 효과가 구현된다. 또한, 이러한 열처리에 의해서 상기 비정질 산화 알루미늄막의 두께의 감소 및 유전율의 상승을 구현할 수 있음은, 상기 열처리로 인해서 등가 산화막 두께(Equivalent Thickness of oxide; 이하 ET다 한다)의 최소화를 구현할 수 있음을 의미한다.

또한, 상기 비정질 산화 알루미늄막의 산소 확산도를 배제한 반도체 기판(bare wafer)에 형성되는 실리콘 산화막의 두께를 측정하여 평가한다. 즉, 표준 세정액 1 (Standard Cleaning 1) 및 불화 수소(HF) 처리된 배제한 반도체 기판에 여러 가지 두께의 비정질 산화 알루미늄막을 형성한 후, 대략 800°C 정도의 온도에서 O_2 분위기에서 어닐링한다. 이후에, 형성되는 실리콘 산화막의 두께를 스펙트로스코픽 엘립소미터(spectroscopic ellipsometer)를 이용하여 측정하여 그 결과를 표 1에 나타낸다.

표 2에 나타낸 바와 같이 비정질 산화 알루미늄막은 산소의 확산을 억제하는 효과를 나타낸다. 즉, 비정질 산화 알루미늄막이 형성되지 않은 경우에는 대략 66.6 Å 정도의 두께로 실리콘 산화막이 형성되었으나, 비정질 산화 알루미늄막이 도입되는 경우에는 형성되는 실리콘 산화막의 두께가 크게 감소함을 알 수 있다. 또한, 대략 100 Å 정도의 비정질 산화 알루미늄막을 도입하는 경우에는 대략 2 Å 정도의 미미한 두께의 실리콘 산화막이 형성됨을 알 수 있다. 이와 같이 본 실시예에 따르는 비정질 산화 알루미늄막은 산소 확산을 억제할 수 있어, 상기한 RTP 처리에 의한 반응 방지막(300)을 도입하지 않아도 우수한 커패시터 특성을 구현할 수 있다. 그러나, 후속의 열처리 시 상기 산소의 확산을 보다 완전하게 방지하기 위해서 상기 반응 방지막(300)을 도입한다.

[표 2]

산화 알루미늄막 두께에 따른 생성되는 실리콘 산화막 두께.

어닐링 후의 Al ₂ O ₃ 의 두께	생성된 SiO ₂ 의 두께 (Å)
0	66.576±0.545
28.860±1.684	17.032±1.821
33.369±1.706	18.959±1.725
48.484±1.229	11.222±0.860
82.283±1.257	3.406±0.398
98.711±1.054	2.002±0.259
258.749±1.076	1.542±0.288

이와 같이 상기 비정질 산화 알루미늄막을 치밀화시켜 유전율을 제고하기 위해서, 상기 비정질 산화 알루미늄막을 열처리하여 제1치밀화한다. 이때, 상기 열처리는 상기 비정질 산화 알루미늄막을 형성한 후 어느 시점에서나 수행하는 것이 가능하다. 바람직하게는 상기 상부 전극(500)이 형성된 이후에 상기 열처리를 수행하여 제1치밀화한다. 이때, 상기 제1치밀화의 열처리는 상기 비정질 산화 알루미늄막의 결정화 온도 이하의 온도 조건, 예컨대 대략 150°C 내지 900°C 정도의 온도로 수행된다. 바람직하게는 대략 850°C 정도의 온도에서 상기 제1치밀화의 열처리를 수행한다. 이때, 상기 열처리는 산소 가스, 일산화 질소 가스 또는 질소 가스 등을 분위기 가스로 이용하거나 진공에서 수행된다. 바람직하게는 질소 가스 분위기에

서 대략 30분 정도 열처리한다. 이에 대한 효과는 이후에 상세히 설명한다.

상기한 제1치밀화에 의해서 상기 비정질 산화 알루미늄막은 이론적인 ET값, 예컨대 대략 60 Å 정도의 상기 비정질 산화 알루미늄막의 두께에서 대략 26 Å (Al_2O_3 의 유전 상수를 9로 가정)의 이론적인 ET값에 근접하는 ET값을 구현할 수 있다. 그러나, 상기 이론적인 ET값에 보다 근접하는 값을 구현하기 위해서 상기한 열처리를 더 수행할 수 있다. 즉, 상기 제1치밀화 단계의 전(前) 처리로 상기 비정질 산화 알루미늄막을 형성한 직후에 열처리를 수행하여 제2치밀화를 수행한다.

여기서, 상기 제2치밀화 단계는 상기 비정질 산화 알루미늄막의 결정화 온도 이하, 예컨대 대략 150°C 내지 900°C 정도의 온도에서 열처리하는 방법으로 수행된다. 바람직하게는 대략 450°C 정도의 온도에서 상기 제2치밀화를 수행한다. 또한, 상기 열처리는 산소 가스, 일산화 질소 가스 또는 질소 가스 등을 분위기 가스로 이용하거나 진공에서 수행된다. 이때, 바람직하게는 산소 가스를 분위기 가스로 이용하여 대략 30분 정도 열처리하여 제2치밀화를 수행한다.

상술한 바와 같은 제2치밀화 단계를 수행하는 효과를 설명하기 위해서, 제반 조건을 스플릿(split)하게 설정하여 여러 가지 전기적인 특성을 측정하여 표 3에 나타낸다. 즉, 반도체 기판(100)에 하부 전극(200)을 다결정질 실리콘막으로 형성하고 비정질 산화 알루미늄막을 형성한 후 커패시터의 전기적인 특성을 측정한다. 이때, 상기 제반 조건은 다음과 같다. 즉, RTN 공정(900°C, NH_3 , 60초) 수행 유무(有無) 조건, 형성되는 비정질 산화 알루미늄막의 60 Å 및 300 Å의 두께 조건, 제2치밀화 단계 수행 유무 및 제2치밀화 단계를 대략 450°C, O_2 , 30분 조건에서 수행하는 조건과 제2치밀화 단계를 대략 800°C, O_2 , 30분 조건에서 수행하는 조건을 스플릿(split)하게 설정하여 측정된 결과를 표 3에 나타낸다.

도시한 표 3에 따르면, Al_2O_3 막이 300 Å 정도의 두께에서는 다른 조건에 무관하게 누설 전류 밀도가 $20nA/cm^2$ 이하로 나타난다. 그러나, 상기 Al_2O_3 막이 60 Å 정도의 두께에서는 다른 조건에 의해서 민감하게 누설전류 특성이 변화함을 알 수 있다. 즉, Al_2O_3 막이 60 Å이며 RTN 처리를 하지 않고 800°C의 제2치밀화 온도 조건의 경우(#7)에는 ET가 가장 두꺼워 대략 57 Å를 나타낸다. RTN 처리를 한 경우(#1)에도 대략 47 Å 정도의 ET를 나타내어 이론적인 ET값, 즉, RTN 4 Å + Al_2O_3 26 Å의 30 Å에 비해 상당히 크다. 즉, 상기한 경우에는 등가 산화막이 상당히 성장함을 알 수 있다.

그러나, Al_2O_3 막이 60 Å이며 450°C의 제2치밀화 온도 조건의 경우에는 RTN 처리를 수행한 경우(#3)는 40 Å, RTN 처리가 없는 경우(#6)에서는 37 Å 정도의 ET값을 나타낸다. 또한, 상기 RTN 처리가 없는 경우(#6)에는 누설 전류 밀도가 $700nA/cm^2$ 로 높게 나타난다. 이에 따라, 제2치밀화를 대략 450°C 정도의 온도 조건에서 수행할 때 커패시터의 전기적 특성이 우수함을 알 수 있다. 또한, 하부 전극(200)과 유전막(400)의 사이에 RTN 처리와 같은 열처리에 의해서 형성되는 실리콘 질화막, 실리콘 산화막 또는 실리콘 옥시 질화막 등과 같은 반응 방지막(300)이 존재할 때 커패시터의 전기적 특성이 우수함을 알 수 있다.

[표 3]

제2치밀화에 따른 커패시터의 전기적 특성

#	RTN처리	Al_2O_3 막 두께	O_2 제2치밀화 온도	커패시턴스 (pF)		tan δ	누설 전류 밀도 (nA/cm^2)	등가 산화막 두께 (ET; Å)	C_{min}/C_{max} (%)
				C_{min}	C_{max}				
1	유	60	800	615	661	0.012	25.8	47	93
2		300	800	235	247	0.031	≤ 20	125	95
3		60	450	718	772	0.009	45.77	40	93
4		300	450	259	263	0.042	≤ 20	117	98
5		300	no	218	229	0.045	≤ 20	135	95
6	무	60	450	766	832	0.06	704.38	37	92
7		60	800	535	546	0.014	37.32	57	98
8		300	450	248	252	0.019	≤ 20	117	98
9		300	no	210	219	0.052	≤ 20	141	96
10		300	800	222	223	0.046	≤ 20	138	99

상술한 바와 같이 비정질 산화 알루미늄막을 유전막(400)으로 도입할 때, 제2치밀화를 수행함으로써, 커패시터의 전기적 특성을 향상시킬 수 있음을 알 수 있다. 그러나, 상기한 조건에서 구현되는 ET값은 이론적인 값 30 Å에 미치지 못한다. 이에 상기 상부 전극(500)을 형성한 이후에, 제1치밀화 단계를 수행하는 효과에 대하여 설명한다. 즉, 상기 표 3에서와 같은 조건으로 진행한 후, 상부 전극(500)을 형성한 이후에 대략 650°C, N_2 , 30분으로 어닐링으로 제1치밀화한 후에 커패시터의 전기적 특성을 측정하여 표 4에 나타낸다.

[표 4]

제1차밀화에 따른 커패시터의 전기적 특성

#	RTN 처리	반도 체 기 판 위 치	Al ₂ O ₃ 막 두께	O ₂ 제2차 밀화 온 도	커패시턴스 (pF)		tan δ	누설 전류 밀도 (nA/ cm ²)	등가 산화 막 두께 (ET; Å)	C _{min} /C _{max} (%; ±2V)
					C _{min}	C _{max}				
1	유	C	60	800	680	690	0.012	7.96	44.8	98.6
2		C	300	800	250	270	0.019	15.2	118.3	92.6
3		T	60	450	830	874	0.014	68.4	35.07	95
		C			840	890	0.028	28.6	34.89	94.4
		B			830	876	0.032	25.6	35.31	94.7
		L			825	859	0.035	53.6	36.02	96
		R			840	882	0.014	65.4	35.07	95.2
4		C	300	450	270	290	0.017	16.5	110	93.1
5	C	300	no	260	270	0.017	13.1	116.1	96.3	
6	무	T	60	450	932	987	0.019		31.34	94.4
		C			930	990	0.017	677	31.30	94.4
		B			905	946	0.011		32.71	95.7
		L			925	971	0.014		31.86	95.3
		R			910	964	0.016		32.09	94.4
7	유	C	60	800	540	580	0.018	2.29	53.4	93.1
8		C	300	450	310	313	0.018	13.3	98.8	99
9		C	300	no	250	260	0.02	4.89	119.8	96.2
10		C	300	800	230	240	0.02	133.5	95.8	
C										

표 4에서 C는 가운데(center), B는 아래(below), T는 위(top), L은 왼쪽(left) 및 R은 오른쪽(right)의 반도체 기판 상 위치를 나타낸다. 제1차밀화 단계를 수행함으로써, 표 4에서 나타낸 바와 같이 모든 조건에서 ET 값의 감소를 구현할 수 있다. 특히, 제2차밀화 단계에서 450°C 정도의 온도에서 열처리된 경우에는 RTN 처리된 경우(#3-C)에 35 Å의 ET값을, RTN 처리되지 않은 경우에는 대략 31 Å 정도의 ET값을 나타내며, 이러한 ET값이 30 Å에 근접하고 있다. 이와 같은 결과에서 본 실시예에서는 후속의 열처리에 의한 열화가 방지되고 비정질 산화 알루미늄막의 치밀화에 의한 커패시턴스의 증대를 구현할 수 있음을 알 수 있다.

도 7은 60 Å 두께의 비정질 산화 알루미늄막의 인가되는 구동 전압(drive voltage)에 대해 측정된 등가 산화막 두께를 도시한 그래프이다.

구체적으로, 표 4에서의 비정질 산화 알루미늄막의 60 Å의 두께 조건의 경우에서의 ET를 인가되는 전압에 따라 도시한다. 즉, 도 7에서의 참조 부호 710은 표 4에서의 #1의 경우에서, 참조 부호 715는 #7의 경우에서, 참조 부호 730은 #3의 경우에서, 참조 부호 735는 #6의 경우에서의 전압에 따른 ET 값을 나타낸다. 도 7에서 나타내듯이 450°C 정도의 온도 조건에서 O₂, 30분 제2차밀화하고, 850°C, N₂, 30분 제1차밀화한 경우(730, 735)에서의 ET값이 이러한 ET값 30 Å에 보다 근접함을 알 수 있다.

도 8은 60 Å 두께의 비정질 산화 알루미늄막의 인가되는 구동 전압에 대해 측정된 누설 전류 밀도를 도시한 그래프이다.

구체적으로, 도 7에서 같이 참조 부호 810은 표 4에서의 #7의 경우에서, 참조 부호 815는 #1의 경우에서, 참조 부호 830은 #6의 경우에서, 참조 부호 835는 #3의 경우에서의 전압에 따른 누설 전류 밀도를 나타낸다. 도 8을 참조하면, 도 7에서의 이러한 ET값에 근접하는 조건의 경우(730, 735) 중에서 2V 이하의 구동 전압 하에서 누설 전류 밀도가 낮은 경우는 참조 부호 835의 그래프이다. 이에 따라, 표 4에서의 #3의 조건, 즉, RTN 처리를 행한 후 450°C 정도의 온도 조건에서 O₂, 30분 제2차밀화하고, 850°C, N₂, 30분 제1차밀화한 경우가 커패시터의 전기적 특성이 우수함을 알 수 있다.

도 9는 제2차밀화 단계를 수행하는 조건에 따른 커패시터의 전기적 특성을 도시한 그래프이다.

구체적으로, 제2차밀화 단계를 수행하는 열처리 온도 조건을 상술한 바와 같은 우수한 커패시터의 전기적 특성을 구현할 수 있는 450°C 조건으로 설정한다. 그리고, 제2차밀화 단계를 수행하는 분위기 가스를 O₂ 외의 다른 가스, 예컨대 N₂ 가스를 이용하는 경우 또는 제2차밀화 단계를 수행하지 않는 경우를 변수 조건으로 설정한다. 또한, 제2차밀화 단계를 수행하는 시간 및 비정질 산화 알루미늄막의 두께를 변수 조건으로 설정하여 ET값 및 누설 전류 밀도를 측정하여 도시한다. 구체적인 조건을 표 5에 나타낸다.

도 9를 참조하면, ET의 경우는 참조 부호 940의 경우가 가장 낮다. 그러나, 누설 전류 밀도의 경우에는 가장 높은 값을 나타낸다. 그리고, 60 Å 정도의 비정질 산화 알루미늄막의 경우(950, 960, 970, 980)에는 대략 비슷한 값의 ET 및 누설 전류 밀도를 나타낸다. 또한, 비정질 산화 알루미늄막의 두께가 40 Å의 경우(910)에 근접할수록 ET는 비슷한 값을 나타내지만 누설 전류 밀도가 높아지는 경향을 나타낸다. 이에 따라, 대략 60 Å 정도의 두께를 가지는 비정질 산화 알루미늄막에서는 상기 제2차밀화 단계를 수행하지

는 반도체 장치의 커패시터.

청구항 3. 제1항에 있어서, 상기 하부 전극은 스택형 구조, 반구형 입자 실리콘 구조 및 실린더형 구조로 이루어지는 일군에서 선택되는 어느 한 입체 구조를 가지는 것을 특징으로 하는 반도체 장치의 커패시터.

청구항 4. 제1항에 있어서, 상기 비정질 산화 알루미늄막은 기상 반응물들을 순차적으로 상기 하부 전극 상으로 보내는 방법으로 형성되는 것을 특징으로 하는 반도체 장치의 커패시터.

청구항 5. 제4항에 있어서, 상기 기상 반응물들을 순차적으로 상기 하부 전극 상으로 보내는 방법은 원자막 증착(atomic layered deposition) 방법인 것을 특징으로 하는 반도체 장치의 커패시터.

청구항 6. 제1항에 있어서, 상기 산화 알루미늄막은 대략 10 Å 내지 300 Å 정도의 두께를 가지는 것을 특징으로 하는 반도체 장치의 커패시터.

청구항 7. 제6항에 있어서, 상기 산화 알루미늄막은 대략 40 Å 내지 80 Å 정도의 두께를 가지는 것을 특징으로 하는 반도체 장치의 커패시터.

청구항 8. 제1항에 있어서, 상기 하부 전극 및 상기 유전막 사이에 형성되는 반응 방지막을 더 포함하는 것을 특징으로 하는 반도체 장치의 커패시터.

청구항 9. 제8항에 있어서, 상기 반응 방지막은 실리콘 산화물, 실리콘 질화물 및 실리콘 옥시 질화물로 이루어지는 일군에서 선택되는 어느 하나의 물질로 형성되는 것을 특징으로 하는 반도체 장치의 커패시터.

청구항 10. 제1항에 있어서, 상기 상부 전극은 불순물이 도핑된 다결정질 실리콘막, 텅스텐 실리콘사이드막, 폴리보데늄 실리콘사이드막, 탄탈을 실리콘사이드막, 티타늄 실리콘사이드막, 텅스텐막, 폴리보데늄막, 탄탈을막, 크롬막 및 티타늄 나이트라이드막으로 이루어지는 일군에서 선택되는 어느 한 도전막으로 형성되는 것을 특징으로 하는 반도체 장치의 커패시터.

청구항 11. 하부 전극을 형성하는 단계;

상기 하부 전극 상에 비정질 산화 알루미늄막으로 유전막을 형성하는 단계; 및

상기 유전막 상에 상부 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 커패시터 형성 방법.

청구항 12. 제11항에 있어서, 상기 하부 전극은 불순물이 도핑된 다결정질 실리콘막으로 형성되는 것을 특징으로 하는 반도체 장치의 커패시터 형성 방법.

청구항 13. 제11항에 있어서, 상기 하부 전극은 스택형 구조, 반구형 입자 실리콘 구조 및 실린더형 구조로 이루어지는 일군에서 선택되는 어느 한 입체 구조로 형성되는 것을 특징으로 하는 반도체 장치의 커패시터 형성 방법.

청구항 14. 제11항에 있어서, 상기 유전막을 형성하는 단계 이전에

상기 하부 전극 상에 반응 방지막을 형성하는 단계를 더 수행하는 것을 특징으로 하는 반도체 장치의 커패시터 형성 방법.

청구항 15. 제14항에 있어서, 상기 반응 방지막은 실리콘 산화물, 실리콘 질화물 및 실리콘 옥시 질화물로 이루어지는 일군에서 선택되는 어느 하나의 물질로 형성되는 것을 특징으로 하는 반도체 장치의 커패시터 형성 방법.

청구항 16. 제14항에 있어서, 상기 반응 방지막은 상기 하부 전극을 대략 300°C 내지 1200°C 정도의 온도에서 열처리하여 형성되는 것을 특징으로 하는 반도체 장치의 커패시터 형성 방법.

청구항 17. 제16항에 있어서, 상기 열처리는 질소 소오스를 포함하는 분위기 가스에서 급속 열적 질화 공정으로 수행되는 것을 특징으로 하는 반도체 장치의 커패시터 형성 방법.

청구항 18. 제11항에 있어서, 상기 비정질 산화 알루미늄막은 대략 10 Å 내지 300 Å 정도의 두께로 형성되는 것을 특징으로 하는 반도체 장치의 커패시터 형성 방법.

청구항 19. 제18항에 있어서, 상기 비정질 산화 알루미늄막은 대략 40 Å 내지 80 Å 정도의 두께로 형성되는 것을 특징으로 하는 반도체 장치의 커패시터 형성 방법.

청구항 20. 제11항에 있어서, 상기 비정질 산화 알루미늄막은 기상 반응물들을 순차적으로 상기 하부 전극 상으로 보내는 방법으로 형성되는 것을 특징으로 하는 반도체 장치의 커패시터 형성 방법.

청구항 21. 제20항에 있어서, 상기 기상 반응물들을 순차적으로 상기 하부 전극 상으로 보내는 방법은 원자막 증착(atomic layered deposition) 방법인 것을 특징으로 하는 반도체 장치의 커패시터 형성 방법.

청구항 22. 제21항에 있어서, 상기 원자막 증착 방법은 트리 메틸 알루미늄 및 알루미늄 크로라이드로 이루어지는 일군에서 선택되는 어느 한 물질을 알루미늄 소오스로 이용하여 수행되는 것을 특징으로 하는 반도체 장치의 커패시터 형성 방법.

청구항 23. 제21항에 있어서, 상기 원자막 증착 방법을 수행하기 이전에

상기 하부 전극을 수소 패시베이션 처리하는 단계를 더 수행하는 것을 특징으로 하는 반도체 장치의 커패시터 형성 방법.

청구항 24. 제11항에 있어서, 상기 상부 전극을 형성하는 단계 이후에

상기 비정질 산화 알루미늄막을 제1차밀화하는 단계를 더 수행하는 것을 특징으로 하는 반도체 장치의 커패시터 형성 방법.

패시터 형성 방법.

청구항 25. 제24항에 있어서, 상기 제1차밀화 단계는 상기 비정질 산화 알루미늄막의 결정화 온도 이하로 상기 비정질 산화 알루미늄막을 열처리하여 수행되는 것을 특징으로 하는 반도체 장치의 커패시터 형성 방법.

청구항 26. 제25항에 있어서, 상기 열처리는

대략 150°C 내지 900°C 정도의 온도에서 수행되는 것을 특징으로 하는 반도체 장치의 커패시터 형성 방법.

청구항 27. 제26항에 있어서, 상기 열처리는

대략 850°C 정도의 온도에서 수행되는 것을 특징으로 하는 반도체 장치의 커패시터 형성 방법.

청구항 28. 제25항에 있어서, 상기 열처리는

산소 가스, 일산화 질소 가스 및 질소 가스로 이루어지는 일군에서 선택되는 어느 하나의 가스를 분위기 가스로 이용하여 수행되거나 진공에서 수행되는 것을 특징으로 하는 반도체 장치의 커패시터 형성 방법.

청구항 29. 제24항에 있어서, 상기 제1차밀화하는 단계에 부가하여 상기 상부 전극을 형성하는 단계 이전에 상기 비정질 산화 알루미늄막을 제2차밀화하는 단계를 더 수행하는 것을 특징으로 하는 반도체 장치의 커패시터 형성 방법.

청구항 30. 제29항에 있어서, 상기 제2차밀화 단계는 상기 비정질 산화 알루미늄막의 결정화 온도 이하로, 상기 비정질 산화 알루미늄막을 열처리하여 수행되는 것을 특징으로 하는 반도체 장치의 커패시터 형성 방법.

청구항 31. 제30항에 있어서, 상기 열처리는

대략 150°C 내지 900°C 정도의 온도에서 수행되는 것을 특징으로 하는 반도체 장치의 커패시터 형성 방법.

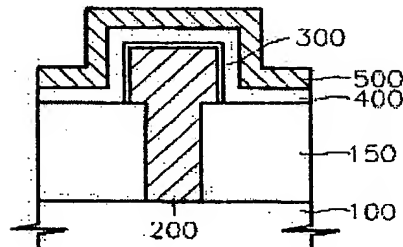
청구항 32. 제30항에 있어서, 상기 열처리는

산소 가스, 일산화 질소 가스 및 질소 가스로 이루어지는 일군에서 선택되는 어느 하나의 가스를 분위기 가스로 이용하거나 진공에서 수행되는 것을 특징으로 하는 반도체 장치의 커패시터 형성 방법.

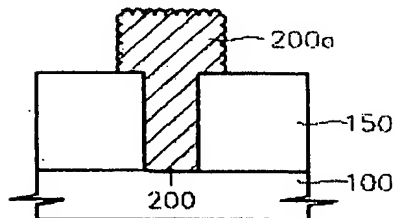
청구항 33. 제11항에 있어서, 상기 상부 전극은 불순물이 도핑된 다결정질 실리콘막, 텅스텐 실리콘사이드막, 폴리브데늄 실리콘사이드막, 탄탈륨 실리콘사이드막, 티타늄 실리콘사이드막, 텅스텐막, 폴리브데늄막, 탄탈륨막, 크롬막 및 티타늄 나이트라이드막으로 이루어지는 일군에서 선택되는 어느 한 도전막으로 형성되는 것을 특징으로 하는 반도체 장치의 커패시터 형성 방법.

도면

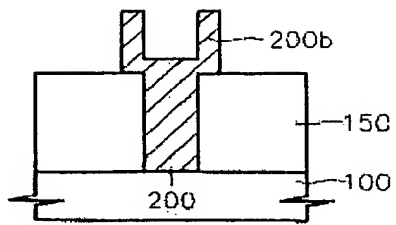
도면1



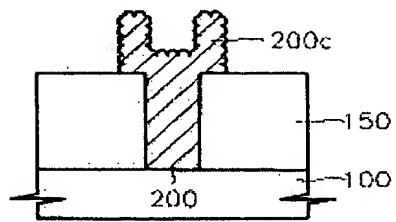
도면2



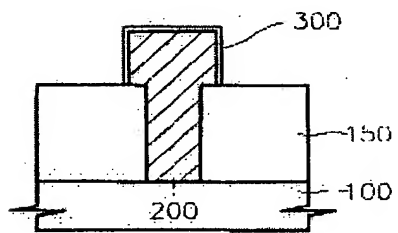
도 B3



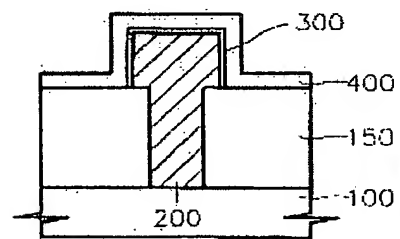
도 B4

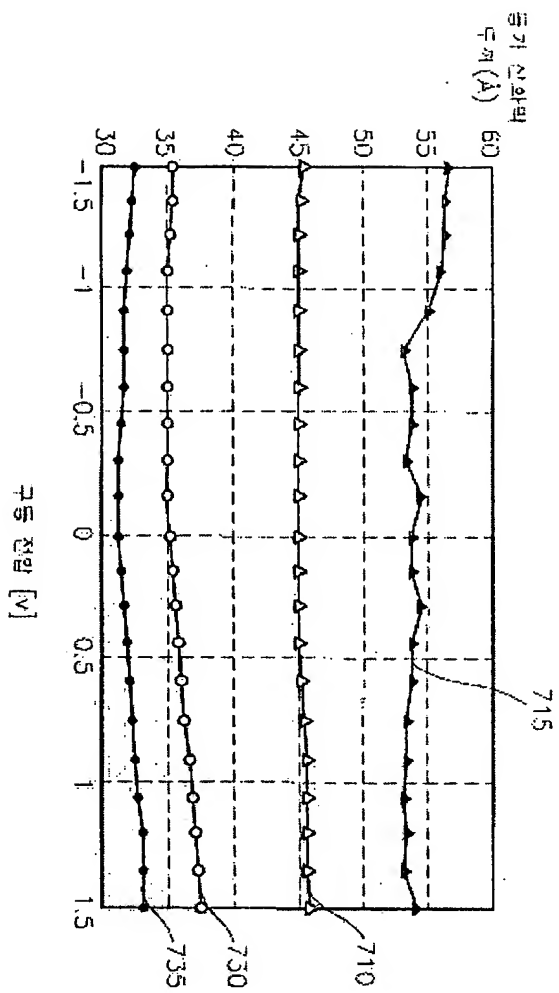


도 B5



도 B6





도 5

